

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasutaka NISHIOKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: ELECTRONIC DEVICE MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-043662	February 21, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 2月21日

出願番号
Application Number:

特願2003-043662

[ST.10/C]:

[JP2003-043662]

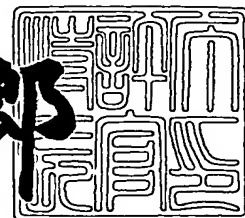
出願人
Applicant(s):

三菱電機株式会社
松下電器産業株式会社

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017389

【書類名】 特許願

【整理番号】 541690JP01

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 西岡 康隆

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 坂井 淳二郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 友久 伸吾

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 松本 晋

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 岩本 文男

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 山中 通成

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 下地層と、前記下地層上に配設された絶縁体のエッチングストップパ膜と、前記エッチングストップパ膜上に配設された層間絶縁膜と、前記下地層の上主面内に埋め込まれた下層配線と、前記層間絶縁膜の上主面内に埋め込まれた上層配線と、前記下層配線と前記上層配線とを電氣的に接続するコンタクト部とを備えた電子デバイスの製造方法であって、

(a)前記層間絶縁膜を選択的に除去して、前記層間絶縁膜を貫通して前記エッチングストップパ膜上に到達するホールを形成する工程と、

(b)前記ホールを開口した状態で熱処理を行う工程と、

(c)前記ホール内にディープ紫外光で硬化する有機樹脂を充填し、前記有機樹脂を前記ディープ紫外光で硬化させて埋め込みプラグを形成する工程と、

(d)化学増幅レジストをエッチングマスクとして用いて、前記層間絶縁膜および前記埋め込みプラグを選択的に除去して、前記層間絶縁膜の前記上主面内に、前記上層配線を埋め込むための溝パターンを形成する工程と、

(e)前記ホール内に残る前記埋め込みプラグを除去して、前記溝パターンと前記ホールとが連通した構成を得る工程と、

(f)前記エッチングストップパ膜を選択的に除去して、前記下層配線を露出させる工程と、

(g)前記溝パターンおよび前記ホール内に導電体材料を充填して前記上層配線および前記コンタクト部を同時に形成する工程と、を備える電子デバイスの製造方法。

【請求項 2】 下地層と、前記下地層上に配設された絶縁体のエッチングストップパ膜と、前記エッチングストップパ膜上に配設された層間絶縁膜と、前記下地層の上主面内に埋め込まれた下層配線と、前記層間絶縁膜の上主面内に埋め込まれた上層配線と、前記下層配線と前記上層配線とを電氣的に接続するコンタクト部とを備えた電子デバイスの製造方法であって、

(a)前記層間絶縁膜を選択的に除去して、前記層間絶縁膜を貫通して前記エッ

チングストップパ膜上に到達するホールを形成する工程と、

(b)前記ホールを開口した状態で熱処理を行う工程と、

(c)前記ホール内にSOG材料を充填し、50～200℃の熱処理を行って前記SOG材料を架橋させ、前記ホール内に埋め込みプラグを形成する工程と、

(d)化学増幅レジストをエッチングマスクとして用いて、前記層間絶縁膜および前記埋め込みプラグを選択的に除去して、前記層間絶縁膜の前記上主面内に、前記上層配線を埋め込むための溝パターンを形成する工程と、

(e)前記ホール内に残る前記埋め込みプラグを除去して、前記溝パターンと前記ホールとが連通した構成を得る工程と、

(f)前記エッチングストップパ膜を選択的に除去して、前記下層配線を露出させる工程と、

(g)前記溝パターンおよび前記ホール内に導電体材料を充填して前記上層配線および前記コンタクト部を同時に形成する工程と、を備える電子デバイスの製造方法。

【請求項3】 前記層間絶縁膜は、シリコン、酸素、炭素および水素を含み、シロキサン結合を主骨格として有する比誘電率が3.0以下の絶縁膜である、請求項1または請求項2記載の電子デバイスの製造方法。

【請求項4】 前記層間絶縁膜は、メチルシルセスキオキサン膜あるいはSiOC膜である、請求項3記載の電子デバイスの製造方法。

【請求項5】 前記工程(c)は、前記SOG材料として、水素化シルセスキオキサンを前記ホール内に充填する工程を含む、請求項2記載の電子デバイスの製造方法。

【請求項6】 前記工程(c)は、10分以下の熱処理を行う工程を含む、請求項5記載の電子デバイスの製造方法。

【請求項7】 前記電子デバイスは、前記層間絶縁膜の上主面上に配設された上部保護膜をさらに備え、

前記工程(a)は、

前記上部保護膜も貫通するように前記ホールを形成する工程を含む、請求項1または請求項2記載の電子デバイスの製造方法。

【請求項 8】 前記工程(c)と(d)との間に、

前記上部保護膜上および前記埋め込みプラグ上に渡るように反射防止膜を形成する工程を備え、

前記工程(d)は、

前記反射防止膜も選択的に除去することで前記溝パターンを形成する工程を含む、請求項 7 記載の電子デバイスの製造方法。

【請求項 9】 前記電子デバイスは、

前記層間絶縁膜の内部に、前記溝パターンの深さを規定する、溝パターン形成用のエッチングストッパ膜を含み、

前記工程(a)は、

前記溝パターン形成用のエッチングストッパ膜も貫通するように前記ホールを形成する工程を含み、

前記工程(d)は、

前記溝パターン形成用のエッチングストッパ膜でエッチングが停止するように、エッチング条件を設定する工程を含む、請求項 1 または請求項 2 記載の電子デバイスの製造方法。

【請求項 1 0】 前記工程(b)と(c)との間に、

シランカップリング材を用いた疎水化処理を行う工程を備える、請求項 1 または請求項 2 記載の電子デバイスの製造方法。

【請求項 1 1】 前記層間絶縁膜は、

下層側に配設された酸化シリコン膜と、

上層側に配設された、シリコン、酸素、炭素および水素を含み、シロキサン結合を主骨格として有する比誘電率が 3. 0 以下の絶縁膜とが積層された 2 層構造を有し、

前記絶縁膜の厚さは、前記溝パターンの深さに相当する厚さを有する、請求項 1 または請求項 2 記載の電子デバイスの製造方法。

【請求項 1 2】 前記エッチングストッパ膜は、

下層側に配設された第 1 の膜と、

上層側に配設され、前記第 1 の膜よりも誘電率の低い第 2 の膜とが積層された

2層構造を有する、請求項1または請求項2記載の電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子デバイスの製造方法に関し、特に、埋め込み多層配線構造を有する電子デバイスの製造方法に関する。

【0002】

【従来の技術】

埋め込み多層配線構造を有する半導体装置の製造方法においては、昨今では層間絶縁膜を間に挟んで配設された下層の構成と、上層配線との電気的な接続を行うために、デュアルダマシン (dual-damascene) 法と称される手法が採られている。この手法は、層間絶縁膜を貫通して下層の構成に到達するプラグと、上層配線とを同時に形成する方法であり、特許文献1にその一例が開示されている。

【0003】

すなわち、特許文献1においては、層間絶縁膜を貫通して半導体基板に達するコンタクトホール内にレジスト材を埋め込み、当該レジスト材に紫外線照射等を行って硬化させ、その後、エッチングにより層間絶縁膜の表面内に上層配線形成用の配線溝を形成する例が示されている。

【0004】

【特許文献1】 特開2000-269326号公報（第4欄、図1～8）

【0005】

【発明が解決しようとする課題】

最近の半導体装置の製造方法においては、線幅が $0.3\mu\text{m}$ 以下の微細なレジストパターンを形成するために、露光光源として、波長 248nm のKrFエキシマレーザや波長 193nm のArFエキシマレーザを使用し、また、感光剤となるレジスト材料に、触媒反応を利用した化学増幅レジスト (chemically amplified resist) を使用する場合が多い。

【0006】

化学増幅レジストは、感光により水素イオンを発生し、これを触媒としてレジ

スト樹脂を熱反応させてパターンを解像させる仕組みを持つが、この化学増幅レジストを使用した場合に、ホールパターン、特に孤立したホールパターンや密集して配置されたホールパターンの最外周のホールに接続される配線パターンが正常に解像しない、いわゆるレジストポイズニング現象を引き起こす可能性を有していた。

【 0 0 0 7 】

本発明は上記のような問題点を解消するためになされたもので、レジストパターンの解像不良の発生を抑制し、解像不良に起因す不良配線の発生を低減した埋め込み多層配線構造を有する電子デバイスを提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

本発明に係る請求項 1 記載の電子デバイスの製造方法は、下地層と、前記下地層上に配設された絶縁体のエッチングストッパ膜と、前記エッチングストッパ膜上に配設された層間絶縁膜と、前記下地層の上主面内に埋め込まれた下層配線と、前記層間絶縁膜の上主面内に埋め込まれた上層配線と、前記下層配線と前記上層配線とを電氣的に接続するコンタクト部とを備えた電子デバイスの製造方法であって、前記層間絶縁膜を選択的に除去して、前記層間絶縁膜を貫通して前記エッチングストッパ膜上に到達するホールを形成する工程(a)と、前記ホールを開口した状態で熱処理を行う工程(b)と、前記ホール内にディープ紫外光で硬化する有機樹脂を充填し、前記有機樹脂を前記ディープ紫外光で硬化させて埋め込みプラグを形成する工程(c)と、化学増幅レジストをエッチングマスクとして用いて、前記層間絶縁膜および前記埋め込みプラグを選択的に除去して、前記層間絶縁膜の前記上主面内に、前記上層配線を埋め込むための溝パターンを形成する工程(d)と、前記ホール内に残る前記埋め込みプラグを除去して、前記溝パターンと前記ホールとが連通した構成を得る工程(e)と、前記エッチングストッパ膜を選択的に除去して、前記下層配線を露出させる工程(f)と、前記溝パターンおよび前記ホール内に導電体材料を充填して前記上層配線および前記コンタクト部を同時に形成する工程(g)とを備えている。

【 0 0 0 9 】

本発明に係る請求項 2 記載の電子デバイスの製造方法は、下地層と、前記下地層上に配設された絶縁体のエッチングストッパ膜と、前記エッチングストッパ膜上に配設された層間絶縁膜と、前記下地層の上主面内に埋め込まれた下層配線と、前記層間絶縁膜の上主面内に埋め込まれた上層配線と、前記下層配線と前記上層配線とを電氣的に接続するコンタクト部とを備えた電子デバイスの製造方法であって、前記層間絶縁膜を選択的に除去して、前記層間絶縁膜を貫通して前記エッチングストッパ膜上に到達するホールを形成する工程(a)と、前記ホールを開口した状態で熱処理を行う工程(b)と、前記ホール内に S O G 材料を充填し、50～200℃の熱処理を行って前記 S O G 材料を架橋させ、前記ホール内に埋め込みプラグを形成する工程(c)と、化学増幅レジストをエッチングマスクとして用いて、前記層間絶縁膜および前記埋め込みプラグを選択的に除去して、前記層間絶縁膜の前記上主面内に、前記上層配線を埋め込むための溝パターンを形成する工程(d)と、前記ホール内に残る前記埋め込みプラグを除去して、前記溝パターンと前記ホールとが連通した構成を得る工程(e)と、前記エッチングストッパ膜を選択的に除去して、前記下層配線を露出させる工程(f)と、前記溝パターンおよび前記ホール内に導電体材料を充填して前記上層配線および前記コンタクト部を同時に形成する工程(g)とを備えている。

【 0 0 1 0 】

【発明の実施の形態】

<レジストポイズニング現象>

発明の実施の形態の説明に先立って、レジストポイズニング現象についてさらに説明する。

【 0 0 1 1 】

埋め込み多層配線構造を有する半導体装置においては、層間絶縁膜と下層の構成との間にエッチングストッパ膜を有し、また層間絶縁膜上には上部保護膜を有する構成となっている場合が多い。そして、多層配線構造の採用に伴う寄生容量の増加を抑制し、高速動作を可能とするために、層間絶縁膜としては、酸化シリコンに炭素を導入し、一般的な酸化シリコンより低密度、低誘電率となった低誘電率層間絶縁膜を使用することが多い。

【 0 0 1 2 】

このような構成においては、上部保護膜の形成時に上部保護膜と低誘電率層間絶縁膜との界面に、低誘電率層間絶縁膜の表面が分解劣化して生成された副生成物が滞留したり、あるいはエッチングストップ膜の形成時にエッチングストップ膜と低誘電率層間絶縁膜との界面に、低誘電率層間絶縁膜の表面が分解劣化して生成された副生成物が滞留する場合がある。このような場合、滞留した副生成物が、例えば、反射防止膜の硬化などの、写真製版プロセスにおいて加えられる加熱処理により、ホール開口部に集中して放出される。

【 0 0 1 3 】

そして、この副生成物は塩基性成分を含むため、後の工程で使用される化学増幅レジスト内に発生した水素イオンを中和して失活させ、レジストパターンの解像不良を発生させるレジストポイズニング現象の原因になると考えられている。

【 0 0 1 4 】

ここで、図 1 に正常に解像された配線パターンの平面視形状を示し、図 2 および図 3 には解像不良の場合の配線パターンの平面視形状を例示する。

【 0 0 1 5 】

図 1 において、3 本の上層配線 1 3 が間隔を開けて平行に配設され、そのうち、図面に向かって左端の上層配線 1 3 と中央の上層配線 1 3 はビア (v i a) コンタクト 1 4 を介して、図示しない下層配線と電氣的に接続される構成となっている。

【 0 0 1 6 】

一方、ポジ型の化学増幅レジストを使用する場合に解像不良が発生すると、例えば、図 2 に示すように上層配線 1 3 がビアコンタクト 1 4 の周辺で断線し、不連続な上層配線 1 3 a が形成されてしまう。なお、図中の破線は、上層配線が正常に形成された場合の輪郭を表している。

【 0 0 1 7 】

また、ネガ型の化学増幅レジストを使用した場合に解像不良が発生すると、例えば図 3 に示すように配線間にレジスト材が残らず、隣接する配線間で電氣的短絡を引き起こすような上層配線 1 3 b が形成されてしまう。

【 0 0 1 8 】

また、これらの不良の原因には、ビアホールやコンタクトホールの形成時に、ホール内壁部分の低誘電率層間絶縁膜表面に生じる劣化層も関係している。この劣化層は、エッチング時だけでなく、その後に行う、レジスト材の酸素アッシングによる除去工程に際しても形成され、エッチングやアッシングに直接曝される低誘電率層間絶縁膜が分解され、炭素が消失して質の悪い（欠陥の多い）酸化シリコンとなっている部分を指す。この劣化層は、吸湿性が高く、非常に構造の不安定な性質を有している。この劣化層の存在がレジストポイズニング現象をさらに加速させることが判っている。

【 0 0 1 9 】

< A . 実施の形態 1 >

以下、本発明に係る実施の形態 1 として、図 4 ～ 図 1 4 を用いて多層配線構造を有する半導体装置 1 0 0 の製造方法について、製造工程を順に示す断面図を用いて説明する。なお、半導体装置 1 0 0 の構造については、最終工程を説明する図 1 4 に示す。また、図 4 ～ 図 1 4 に示す断面図は、図 1 の A - A 部での断面図に相当する。

【 0 0 2 0 】

< A - 1 . 製造方法 >

まず、図 4 に示す工程において、下地層（例えばシリコン基板）1 の主面内に、一般的なダマシン法により形成された下層配線 2 0 が配設されている。ここで、下層配線 2 0 は、下地層 1 の主面内に形成された溝の内壁面をバリアメタル層 2 で覆い、バリアメタル層 2 で囲まれた領域に、銅などで構成される金属配線層 3 を埋め込むことで形成されている。なお、下地層 1 は、シリコン基板に限定されず、酸化シリコンなどの層間絶縁膜であっても良く、下地層が何であっても、本発明の適用は可能である。

【 0 0 2 1 】

そして、下地層 1 の主面を覆うように厚さ 5 0 ～ 1 0 0 n m のエッチングストップ膜 4 を配設する。なお、エッチングストップ膜 4 には、窒化シリコンや炭化シリコンなどの絶縁体の材料が使用され、例えば C V D (chemical vapor depos

ition) 法で形成する。なお、エッチングストップ膜4を絶縁体で構成する理由は、エッチングストップ膜4により配線間が電氣的に導通して短絡することを防止するためである。

【0022】

その後、エッチングストップ膜4上に、厚さ500～1000nmのシロキサン結合 (siloxane bonding) を主骨格に有する低誘電率層間絶縁膜5を配設する。なお、低誘電率層間絶縁膜5には、多層配線構造の採用に伴う寄生容量の増加を抑制し、高速動作を可能とするため、比誘電率が3.0以下の材料、例えばCVD法で形成される炭素ドーブSiO膜 (SiOC膜とも記す) や塗布法で形成されるメチルシルセスキオキサン (Methylsilsesquioxane: MSQ) などの材料が使用される。例えば、メチルシルセスキオキサンは、 $\text{HO}(-\text{Si}(\text{CH}_3)_2-\text{O}-)_n\text{OH}$ で表される。なお、SiOC膜は、メチル基 (CH_3) の形で水素を有しているので、SiOCH膜と表記される場合もある。

【0023】

そして、低誘電率層間絶縁膜5上に、素子特性に影響を与える物質の侵入を防止したり、製造過程による低誘電率層間絶縁膜5の劣化を防止するなどの目的で厚さ50～100nmの上部保護膜6を配設する。上部保護膜6には、例えばCVD法で形成される酸化シリコン膜等を使用するが、シリコン窒化酸化膜 (SiON) 等で構成される反射防止膜、あるいは有機樹脂で構成される反射防止膜を上部保護膜としても兼用したり、シリコン窒化酸化膜と酸化シリコン膜との積層構造にする場合もある。

【0024】

そして、上部保護膜6上には、下層配線20との接続のためのビアホールを形成するためのレジストパターンRM1を写真製版により形成する。レジストパターンRM1は、ビアホールの形成位置に対応する部分が開口部OP1となっている。

【0025】

次に、図5に示す工程において、レジストパターンRM1をエッチングマスクとして、ドライエッチング法により、レジストパターンRM1の開口部OP1に

対応する部分の上部保護膜 6 および低誘電率層間絶縁膜 5 をエッチングし、エッチングストップ膜 4 に達するビアホール 7 を形成する。このときのエッチング条件としては、エッチングストップ膜 4 が除去されない条件を採用する。その後、酸素などのプラズマを用いた酸素エッチング（アッシングとも呼称される）でレジストパターン RM1 を除去する。

【0026】

この後、ビアホール 7 が開口した状態のままで 300～400℃でアニール処理を行う。アニール処理時の雰囲気は大気中、酸素雰囲気中、窒素等の不活性ガス雰囲気中のいずれでも良い。また、真空中のアニールも有効である。

【0027】

なお、アニール方法は、ホットプレートを用いた方法でも、熱処理炉を用いた方法でも、いずれの方法を採用できるが、製造済みの下層配線 20 に与える影響を抑えるためには、ホットプレートで 5 分から 10 分程度の短時間加熱を行うことが効果的である。

【0028】

これにより上部保護膜 6 と低誘電率層間絶縁膜 5 との界面に滞留した副生成物、およびエッチングストップ膜 4 と低誘電率層間絶縁膜 5 との界面に滞留した副生成物が放出され、副生成物の残留量を減少させることができる。

【0029】

また、このとき、ビアホール 7 の内壁面に形成されている劣化層に吸着した水分も放出され、劣化層の表面状態を改質することもできる。

【0030】

なお、ビアホール 7 内の劣化層をさらに改質するためには、ヘキサメチルジシラザン（Hexamethyldisilazane: HMD S）等のシランカップリング材を用いた疎水化処理が有効である。これにより劣化層の改質と疎水化処理が同時に行われ、アニール後の水分の再吸収を防ぐことが可能になる。

【0031】

疎水化処理の方法は一般的に知られている手法を流用することで可能であるが、例えば HMD S を使用する場合には、HMD S を N_2 ガス等でバブリングして

気化させ、HMD Sの雰囲気中に100～120℃に加熱した状態の基板を暴露することで行うことができる。

【0032】

次に、図6に示す工程において、レジスト材等の有機樹脂8を基板全面に塗布し、ビアホール7内にも有機樹脂8を充填する。ここで、有機樹脂8としては、ディープ紫外光（DUV：波長約300nm以下の紫外光で、深紫外光とも呼称される）の照射のみにより硬化し、後に形成する、反射防止膜の形成時やレジスト塗布時に再溶解しない材料であることが望ましく、例えば、ノボラック（novolac）樹脂やアクリル樹脂を使用する。

【0033】

次に、図7に示す工程において、基板全面を酸素プラズマ等でエッチングして少なくとも上部保護膜6上の有機樹脂8を完全に除去する。このとき、ビアホール7内には有機樹脂8が充填された状態を保つようにエッチング条件を設定するが、有機樹脂8がビアホール7よりも突出することを防止するためと、上部保護膜6上の有機樹脂8を完全に除去するために、オーバーエッチング気味になるようにエッチング条件を設定するので、ビアホール7の上部において、有機樹脂8が上部保護膜6の厚さに相当する程度除去されても問題はない。

【0034】

例えば、プロセスのバラツキを考慮すると上部保護膜6の主面よりも、100～150nm後退しても良い。

【0035】

また、上部保護膜6上の有機樹脂8を完全に除去する理由は、不要な有機樹脂8が上部保護膜6上に残留した状態で、後に説明する上層配線形成のためのレジストパターンを形成すると、当該レジストパターンの形状が不均一になり、上層配線の仕上がり形状に不具合が生じることを防止するためである。ただし、上記レジストパターンの膜厚に対して、上部保護膜6上の有機樹脂8の厚さを5%以下にするなど、残留する有機樹脂8の厚さが上記レジストパターンの膜厚よりも十分薄くなるように制御できるのであれば、有機樹脂8のエッチバックを途中で止めてもよい。

【 0 0 3 6 】

次に、図 8 に示す工程において、基板全面に DUV 光 9 を照射し、ビアホール 7 内に残る有機樹脂 8 を硬化させて埋め込みプラグ 8 1 を形成する。ここで、DUV 光 9 は、300 nm 以下の波長を含む紫外光であり、光源には一般的な高圧水銀ランプを用いることができる。

【 0 0 3 7 】

次に、図 9 に示す工程において、基板全面に厚さ 80 nm 程度の反射防止膜 1 8 を形成する。なお、反射防止膜 1 8 は写真製版工程における照射光の半導体基板での反射率を低減するために設けられるものであり、例えばスピコート法で形成した反射防止樹脂 (BARC : Bottom Anti-Reflection Coating) 等を使用すれば良い。

【 0 0 3 8 】

反射防止膜 1 8 の形成後、反射防止膜 1 8 上に化学増幅レジストを塗布し、写真製版により、後に形成する上層配線の配設パターンに合致する開口部 OP 2 を有するレジストパターン RM 2 を形成する。

【 0 0 3 9 】

次に、図 1 0 に示す工程において、ドライエッチング法により、レジストパターン RM 2 の開口部 OP 2 に対応する部分の反射防止膜 1 8、上部保護膜 6、低誘電率層間絶縁膜 5 および埋め込みプラグ 8 1 を除去し、上層配線を埋め込むための溝パターン 1 0 を形成する。このとき、形成する溝パターン 1 0 の深さはエッチング時間で調整する。

【 0 0 4 0 】

その後、図 1 1 に示す工程において、酸素などのプラズマを用いた酸素アッシングで、ビアホール 7 内に残る埋め込みプラグ 8 1、上部保護膜 6 上の反射防止膜 1 8、レジストパターン RM 2 を除去する。

【 0 0 4 1 】

そして、図 1 2 に示す工程において、エッチングによりビアホール 7 の底部に露出するエッチングストッパ膜 4 を除去して、下層配線 2 0 を露出させる。

【 0 0 4 2 】

次に、図 1 3 に示す工程において、溝パターン 1 0 およびビアホール 7 の内壁面を、例えば、スパッタリング法により形成された窒化タンタルで構成される厚さ 2 0 ~ 4 0 n m のバリアメタル層 M L 1 で覆い、バリアメタル層 M L 1 で囲まれた領域に、例えば、メッキ法により堆積した銅で構成される金属層 M L 2 を埋め込む。

【 0 0 4 3 】

最後に、図 1 4 に示す工程において、上部保護膜 6 上に残る不要なバリアメタル層 M L 1 および金属層 M L 2 を、CMP (Chemical Mechanical Polishing) 法などで除去することで、バリアメタル層 2 1 および金属層 3 1 で構成される上層配線 1 3 を得ると同時に、ビアホール 7 内にもバリアメタル層 2 1 および金属層 3 1 が埋め込まれ、ビアコンタクト 1 4 を得ることができる。なお、ビアコンタクト 1 4 は下層配線 2 0 に接続されるので、上層配線 1 3 と下層配線 2 0 との電気的な接続が達成される。以上の工程を経て、埋め込み多層配線構造の半導体装置 1 0 0 を得ることができる。

【 0 0 4 4 】

なお、バリアメタル層 M L 1 は窒化タンタルに限定されず、金属層 M L 2 に使用される金属に対してバリアとなる材料、例えば、窒化チタン、窒化タングステン、窒化ケイ化チタン等の材料から適切なものを選択すれば良く、また、1 種類に限定されず、複数の材料を組み合わせても良い。また、形成方法も、スパッタリング法に限定されず C V D 法も使用可能である。なお、バリアメタル層 M L 1 は金属層 M L 2 の材質によっては必須ではない場合もあり得る。また金属層 M L 2 として、銅の代わりにタングステンや白金、ルテニウム、金などの導電体材料を埋め込むことで、上層配線 1 3 およびビアコンタクト 1 4 を形成するようにしても良い。

【 0 0 4 5 】

< A - 2 . 作用および効果 >

以上説明したように、実施の形態 1 の半導体装置の製造方法によれば、シロキサン結合を主骨格に有する低誘電率層間絶縁膜 5 にビアホール 7 を形成した後、3 0 0 ~ 4 0 0 ° C でアニール処理を行うことで、上部保護膜 6 と低誘電率層間絶

縁膜 5 との界面に滞留した副生成物、あるいはエッチングストッパ膜 4 と低誘電率層間絶縁膜 5 との界面に滞留した副生成物が放出され、副生成物の残留量を減少させることができる。このため、上層配線を埋め込むための溝パターン 10 を形成するために使用する化学増幅レジストが、副生成物により失活することが防止され、レジストパターンの解像不良の原因となるレジストポイズニング現象が発生することを防止できる。この結果、レジストパターンの解像不良の発生を抑制し、解像不良に起因す不良配線の発生を低減した埋め込み多層配線構造を有する半導体装置を得ることができる。

【0046】

また、このとき、ビアホール 7 の内壁面に形成されている劣化層に吸着した水分も放出され、劣化層の表面状態を改質することもあるので、劣化層の存在によりレジストポイズニング現象が加速されることを防止することもできる。

【0047】

さらに、ビアホール 7 内の劣化層をさらに改質するために、ヘキサメチルジシラザン等のシランカップリング材を用いて疎水化処理を行うことで、アニール後の水分の再吸収を防ぐことができ、より確実にレジストポイズニング現象の発生を防止できる。

【0048】

また、シロキサン結合を主骨格に有する低誘電率の絶縁膜（Low-k 材料と呼称される）を低誘電率層間絶縁膜 5 として使用するので、酸化シリコン膜と同じドライエッチングを使用できる。なお、シロキサン結合を主骨格に有する絶縁膜は、Low-k 材料である他の有機樹脂と比べて、耐熱性に優れ、機械的強度も高いので、層間絶縁膜として適している。さらに、酸素プラズマによるレジストアッシングに対する耐性があるので、レジストの除去に酸素アッシングを使用できる。さらに、スピコート法や、プラズマ CVD 法などによって形成できるので、形成方法の選択の幅が広い。また、メチルシルセスキオキサンはフッ酸に溶解しないので、シリコン酸化膜との選択性を確保できる。

【0049】

また、ビアホール 7 内に DUV 光 9 によって硬化する有機樹脂 8 を充填し、硬

化させて埋め込みプラグ 8 1 を形成し、その状態で、反射防止膜 1 8 等を形成するので、写真製版時のビアホール密度に依存した反射防止膜の膜厚のバラツキを低減することができる。この効果について図 1 5 を用いてさらに説明する。

【0050】

図 1 5 は、埋め込みプラグ 8 1 を使用せずに反射防止膜 1 8 を形成する状態を示す断面図であり、図 1 4 に示した半導体装置 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0051】

図 1 5 においてはビアホール 7 の配設密度が異なる状態を示しており、図に向かって右側の領域では複数のビアホール 7 が密集し、左側の領域では 1 つのビアホール 7 が孤立している。反射防止剤を塗布すると、反射防止剤はビアホール 7 内に吸い込まれるが、ビアホール 7 が密集している領域では、ビアホール 7 内に吸い込まれる単位面積当たりの反射防止剤の量が多く、反射防止膜 1 8 の厚みは D_2 となる。一方、ビアホール 7 が密集していない領域では、ビアホール 7 内に吸い込まれる単位面積当たりの反射防止剤の量が少なく、反射防止膜 1 8 の厚みは D_1 ($D_1 > D_2$) となる。この結果、反射防止膜の膜厚にバラツキが生じるが、ビアホール 7 内に埋め込みプラグ 8 1 を充填することで、ビアホール 7 内に吸い込まれる単位面積当たりの反射防止剤の量が、ビアホール 7 の配設密度によって異なることが抑制され、反射防止膜の膜厚のバラツキを低減することができる。なお、反射防止膜を均一に形成することで、ビアホール 7 からレジストパターン RM 2 までの距離を、基板の全域に渡って一定に確保することができ、ビアホール 7 内の劣化層の影響や、副生成物の影響が、場所によって異なることを防止できる。また、結果として、配線の厚みのバラツキを小さくすることにも寄与する。

【0052】

ここで、埋め込みプラグ 8 1 には反射防止機能を持たせる必要がないため、材質の選択の自由度は高いが、高温の加熱処理で熱硬化させる樹脂を使用すると、この熱処理により副生成物の放出が誘発されてレジストポイズニング現象を引き起こすため、DUV 光の照射のみにより硬化する樹脂であることが必須である。

【0053】

なお、上層配線を埋め込むための溝パターン10を形成するために、低誘電率層間絶縁膜5と共に埋め込みプラグ81もエッチングで除去するので、低誘電率層間絶縁膜5と同程度もしくはそれ以上のエッチングレートを有する材料であればさらに好ましい。

【0054】

また、埋め込みプラグ81を使用せず、限られた種類の反射防止剤を直接塗布する場合に比べて、埋め込みプラグ81の材質としては、種々の樹脂の中から、ビアホール7の埋め込み能力が高く、また、副生成物の拡散を抑制できる特性を併せ持つものを選択すれば良いので材料の選択の幅が広く、半導体装置の構造の選択幅を広げることできる。

【0055】

なお、上部保護膜6にシリコン窒化酸化膜等の無機材料で構成される反射防止機能を有する膜を使用した場合は、上層の配線パターンの写真製版時にも反射防止機能を維持している場合があり、上述した反射防止膜18の塗布を省略することができるが、この場合でも本質的に上記と同様の効果を得ることができることは言うまでもない。

【0056】

< A-3. 変形例 >

以上説明した本発明に係る実施の形態1の半導体装置の製造方法では、埋め込みプラグ81を有機樹脂で形成する構成を示したが、以下に図16～図19を用いて説明するように、有機樹脂の代わりに水素化シルセスキオキサン (Hydrogen silsesquioxane : HSQ) などのSOG (Spin On Glass) 材料を使用しても良い。

【0057】

すなわち、図4および図5を用いて説明した工程と同様の工程を経て、低誘電率層間絶縁膜5を貫通してエッチングストップ膜4に達するビアホール7を形成する。

【0058】

その後、図16に示す工程において、SOG材料を厚さ100～200nmとなるように基板全面に塗布してSOG膜16を形成する。このとき、ビアホール7内にもSOG材料が充填される。そして、50～200℃の温度範囲で10分以下、望ましくは1～2分間の熱処理を行い、SOG膜16に含まれる溶媒を揮発させると共に、弱い架橋反応を進行させて、後の工程でレジスト材を塗布する際の再溶解を防止する。この工程以後、ビアホール7内のSOG膜16を埋め込みプラグ161と呼称する。

【0059】

なお、このとき、高温で長時間の熱処理を行うとSOG材料の架橋反応が進行してSOG膜16が緻密になり、除去が難しくなるなどの支障が生じるので、熱処理は再溶解しない程度に、できるだけ低温かつ上述したような短時間（1～2分間）に行うことが望ましい。その後、フロロカーボン系のエッチング剤による全面エッチングにより、上部保護膜6上のSOG膜16を除去する。

【0060】

なお、フロロカーボン系のエッチング剤を用いたエッチングでは、SOG膜16は上部保護膜6との選択比を確保することが難しいので、上部保護膜6上のSOG膜16を完全には除去せず、所定厚さまで除去した時点でエッチングを停止するように、エッチング条件を設定することが望ましい。あるいは、SOG膜16については除去しない構成としても良い。

【0061】

次に、図17に示す工程において、SOG膜16上に化学増幅レジストを塗布し、写真製版により、後に形成する上層配線の配設パターンに合致する開口部OP11を有するレジストパターンRM11を形成する。

【0062】

次に、図18に示す工程において、ドライエッチング法により、レジストパターンRM11の開口部OP11に対応する部分のSOG膜16、上部保護膜6、低誘電率層間絶縁膜5およびビアホール7内の埋め込みプラグ161を除去し、上層配線を埋め込むための溝パターン10を形成する。このとき、形成する溝パターン10の深さはエッチング時間で調整する。

【 0 0 6 3 】

その後、図 1 9 に示す工程において、酸素プラズマを用いた酸素アッシングでレジストパターン RM 1 1 を除去する。このとき、ビアホール 7 内には埋め込みプラグ 1 6 1 が残るように条件を設定するが、ビアホール 7 の上部において、埋め込みプラグ 1 6 1 がある程度除去されても問題はない。

【 0 0 6 4 】

その後、上部保護膜 6 や低誘電率層間絶縁膜 5 をほとんどエッチングしない薬液、例えば水対フッ酸の比率が 1 0 0 対 1 以上に希釈された希フッ酸水溶液やアミン系の洗浄液等でビアホール 7 内の埋め込みプラグ 1 6 1、上部保護膜 6 上の SOG 膜 1 6 を除去する。

【 0 0 6 5 】

以下、図 1 2 ～図 1 4 を用いて説明した工程を経ることで、半導体装置 1 0 0 を得ることができる。

【 0 0 6 6 】

以上説明した水素化シルセスキオキサンで構成される埋め込みプラグ 1 6 1 は、疎水性を有し、また、ビアホール 7 を介しての副生成物の拡散を、有機樹脂をプラグとして用いた場合よりも抑える特性を有するので、レジストポイズニング現象に起因する配線不良を、より効果的に防止することが可能となる。

【 0 0 6 7 】

また、埋め込みプラグ 1 6 1 は、不完全な架橋により緻密度が低いだけでなく、活性基が膜中に残るため、レジストパターン RM 1 1 のアッシング時の酸素プラズマで容易に分解され、上述した希フッ酸水溶液やアミン系の洗浄液等により容易に除去できるので、除去に際して周囲に影響を与えることを防止できる。

【 0 0 6 8 】

なお、埋め込みプラグ 1 6 1 形成のための SOG 材料としては、メチルシルセスキオキサン (MSQ) と水素化シルセスキオキサン (HSQ) とが、化学結合的に混合され、MSQ の一部のメチル基 (CH_3) が水素に置き換えられた構造の材料を用いても良い。

【 0 0 6 9 】

＜B．実施の形態 2＞

以下、本発明に係る実施の形態 2 として、図 2 0 ～図 2 9 を用いて多層配線構造を有する半導体装置 2 0 0 の製造方法について、製造工程を順に示す断面図を用いて説明する。なお、半導体装置 2 0 0 の構造については、最終工程を説明する図 2 9 に示す。また、図 1 ～図 1 4 に示した構成と同一の構成については同一の符号を付し、重複する説明は省略する。

【0 0 7 0】

＜B-1．製造方法＞

まず、図 2 0 に示す工程において、絶縁体のエッチングストッパ膜 4 上に、例えば、厚さ 2 0 0 ～1 0 0 0 n m のシロキサン結合を主骨格に有する低誘電率層間絶縁膜 5 1 を配設する。なお、低誘電率層間絶縁膜 5 1 には、例えば C V D 法で形成される炭素ドーパ S i O 膜や塗布法で形成されるメチルシルセスキオキサン (M S Q) などの材料が使用される。

【0 0 7 1】

そして、低誘電率層間絶縁膜 5 1 の主面を覆うように厚さ 5 0 ～1 0 0 n m のエッチングストッパ膜 4 1 を配設する。なお、エッチングストッパ膜 4 1 には、窒化シリコンや炭化シリコンなどの材料が使用され、例えば C V D 法で形成する。

【0 0 7 2】

エッチングストッパ膜 4 1 上に、さらに、例えば厚さ 2 0 0 ～1 0 0 0 n m のシロキサン結合を主骨格に有する低誘電率層間絶縁膜 5 2 を配設し、低誘電率層間絶縁膜 5 2 上に、厚さ 5 0 ～1 0 0 n m の上部保護膜 6 を配設する。なお、低誘電率層間絶縁膜 5 1 および 5 2 の厚さは、必要とされる素子の構造に合わせて設定されるものであり、上記の値は目安とされるべきものである。例えば、低誘電率層間絶縁膜 5 1 の厚さは、所定の上下配線間のスペースに合わせて設定し、低誘電率層間絶縁膜 5 2 の厚さは、後に形成する上層配線の厚さに相当するように設定することが望ましい。

【0 0 7 3】

そして、上部保護膜 6 上には、下層配線 2 0 との接続のためのビアホールを形

成するためのレジストパターンRM1を写真製版により形成する。レジストパターンRM1は、ビアホール7の形成位置に対応する部分が開口部OP1となっており、化学増幅レジストを使用する。

【0074】

次に、図21に示す工程において、レジストパターンRM1をエッチングマスクとして、ドライエッチング法により、レジストパターンRM1の開口部OP1に対応する部分の上部保護膜6および低誘電率層間絶縁膜52をエッチングし、さらにエッチングストップ膜41を除去できるようにエッチング条件を変えてエッチングストップ膜41を除去し、再び、エッチング条件を変えて低誘電率層間絶縁膜51をエッチングして、エッチングストップ膜4に達するビアホール7を形成する。このときのエッチング条件としては、エッチングストップ膜4が除去されない条件を採用する。また、エッチング条件を適切に選択することで、低誘電率層間絶縁膜52、エッチングストップ膜41および低誘電率層間絶縁膜51を、連続して1つの条件で加工することも可能である。この場合、エッチングストップ膜4の露出前に条件を変更し、選択比を確保するなどの調整をすることが望ましい。その後、酸素などのプラズマを用いた酸素アッシングでレジストパターンRM1を除去する。

【0075】

この後、ビアホール7が開口した状態のままで300～400℃でアニール処理を行う。

【0076】

これにより上部保護膜6と低誘電率層間絶縁膜52との界面、低誘電率層間絶縁膜51および52とエッチングストップ膜41との界面、およびエッチングストップ膜4と低誘電率層間絶縁膜51との界面に滞留した副生成物が放出され、副生成物の残留量を減少させることができる。

【0077】

また、このとき、ビアホール7の内壁面に形成されている劣化層に吸着した水分も放出され、劣化層の表面状態を改質することもできる。なお、ヘキサメチルジシラザン（HMDS）等のシランカップリング材を用いた疎水化処理を施して

も良いことは言うまでもない。

【 0 0 7 8 】

次に、図 2 2 に示す工程において、レジスト材等の有機樹脂 8 を基板全面に塗布し、ビアホール 7 内にも有機樹脂 8 を充填する。

【 0 0 7 9 】

次に、図 2 3 に示す工程において、基板全面を酸素プラズマ等でエッチングして少なくとも上部保護膜 6 上の有機樹脂 8 を完全に除去する。このとき、ビアホール 7 内には有機樹脂 8 が充填された状態を保つようにエッチング条件を設定する。

【 0 0 8 0 】

次に、図 2 4 に示す工程において、基板全面に DUV 光 9 を照射し、ビアホール 7 内に残る有機樹脂 8 を硬化させて埋め込みプラグ 8 1 を形成する。ここで、DUV 光 9 は、300 nm 以下の波長を含む紫外光であり、光源には一般的な高圧水銀ランプを用いることができる。

【 0 0 8 1 】

次に、図 2 5 に示す工程において、基板全面に厚さ 80 nm 程度の反射防止膜 1 8 を形成する。

【 0 0 8 2 】

反射防止膜 1 8 の形成後、反射防止膜 1 8 上にレジスト材を塗布し、写真製版により、後に形成する上層配線の配設パターンに合致する開口部 OP 2 を有するレジストパターン RM 2 を形成する。

【 0 0 8 3 】

次に、図 2 6 に示す工程において、ドライエッチング法により、レジストパターン RM 2 の開口部 OP 2 に対応する部分の反射防止膜 1 8、上部保護膜 6、低誘電率層間絶縁膜 5 2、エッチングストップ膜 4 1 および埋め込みプラグ 8 1 を除去し、上層配線を埋め込むための溝パターン 1 0 を形成する。このとき、形成する溝パターン 1 0 の深さは、ほぼ低誘電率層間絶縁膜 5 2 の厚さで規定される。

【 0 0 8 4 】

その後、図 2 7 に示す工程において、酸素などのプラズマを用いた酸素アッシングで、ビアホール 7 内に残る埋め込みプラグ 8 1、上部保護膜 6 上の反射防止膜 1 8、レジストパターン R M 2 を除去する。

【 0 0 8 5 】

そして、図 2 8 に示す工程において、エッチングによりビアホール 7 の底部に露出するエッチングストッパ膜 4 を除去して、下層配線 2 0 を露出させる。

【 0 0 8 6 】

次に、溝パターン 1 0 およびビアホール 7 の内壁面をバリアメタル層で覆い、バリアメタル層で囲まれた領域に、銅で構成される金属層を埋め込む。そして、図 2 9 に示す工程において、上部保護膜 6 上に残る不要なバリアメタル層および金属層を除去することで、バリアメタル層 2 1 および金属層 3 1 で構成される上層配線 1 3 を得ると同時に、ビアホール 7 内にもバリアメタル層 2 1 および金属層 3 1 が埋め込まれ、ビアコンタクト 1 4 を得ることができる。以上の工程を経て、埋め込み多層配線構造の半導体装置 2 0 0 を得ることができる。

【 0 0 8 7 】

< B - 2 . 作用および効果 >

以上説明したように、実施の形態 2 の半導体装置の製造方法によれば、実施の形態 1 の半導体装置の製造方法と同様、レジストパターンの解像不良の発生を抑制し、解像不良に起因す不良配線の発生を低減した埋め込み多層配線構造を有する半導体装置を得ることができる。

【 0 0 8 8 】

また、低誘電率層間絶縁膜の途中にエッチングストッパ膜 4 1 を設けることで、上層配線を埋め込むための溝パターン 1 0 を形成する際には、エッチングがエッチングストッパ膜 4 1 で止まるので、溝パターン 1 0 の深さが自己整合的に規定され、エッチング時間を厳密に管理せずとも良く、製造工程を簡略化できる。

【 0 0 8 9 】

< B - 3 . 変形例 >

以上説明した本発明に係る実施の形態 2 の半導体装置の製造方法では、低誘電率層間絶縁膜の途中にエッチングストッパ膜 4 1 を設ける構成を示したが、層間

絶縁膜を種類の異なる 2 層構造とすることでも同様の効果を得ることができる。

【0090】

すなわち、図 30 に示す半導体装置 300 においては、エッチングストッパ膜 4 上に酸化シリコン膜で構成される層間絶縁膜 50 を配設し、その上にシロキサン結合を主骨格に有する低誘電率層間絶縁膜 52 を配設する。なお、低誘電率層間絶縁膜 52 の厚さは、後に形成する上層配線の厚さに相当するように設定する。

【0091】

この結果、低誘電率層間絶縁膜 52 と層間絶縁膜 50 とで大きなエッチング選択比が得られ、上層配線を埋め込むための溝パターン 10 を形成する際には、エッチングが層間絶縁膜 50 で止まるので、溝パターン 10 の深さが自己整合的に規定され、エッチング時間を厳密に管理せずとも良く、製造工程を簡略化できる。

【0092】

< C. 実施の形態 3 >

以上説明した本発明に係る実施の形態 1 および 2 の半導体装置の製造方法においては、下地層 1 上に配設するエッチングストッパ膜 4 として、窒化シリコンや炭化シリコンなどを使用する例を示したが、これらは酸化シリコンよりも誘電率が高いので、できるだけ薄くすることが望ましいが、ビアホールのエッチング条件によっては、エッチングストッパ膜としての機能を十分に発揮させるために、膜厚を一定以下に薄くできない場合がある。

【0093】

その場合は、図 31 に示す半導体装置 400 のように、エッチングストッパ膜 4 より誘電率の低い他の材料と組み合わせて多層のエッチングストッパ膜とすることで、実効的な誘電率は低いままで、エッチング阻止機能や、保護膜としての機能を保つことができる。

【0094】

すなわち、図 31 に示す半導体装置 400 においては、下地層 1 上には、例えば炭化シリコンで構成されるエッチングストッパ膜 4 を配設し、エッチングスト

ツパ膜 4 上には、厚さ 5 0 n m 程度の酸化シリコンで構成されるエッチングストップパ膜 1 7 を配設して 2 層構造としても良い。なお、図 3 1 においては、図 1 4 に示した半導体装置 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 9 5 】

もちろん、図 2 9 に示す半導体装置 2 0 0 の構成や、図 3 0 に示す半導体装置 3 0 0 の構成において上記構成を組み合わせても良いことは言うまでもない。

【 0 0 9 6 】

また、実施の形態 1 ～ 3 においては、上層配線と下層配線を接続するビアコンタクトを形成する場合を例に採って説明したが、本発明は半導体基板内の不純物層と、上層の配線等とを接続するコンタクトホールに対しても同様に適用できることは言うまでもない。

【 0 0 9 7 】

< 4 . 電子デバイスへの適用 >

以上説明した実施の形態 1 ～ 3 においては、半導体装置を例に採って説明したが、本発明の適用は半導体装置に限定されず、多層配線構造を有し、配線間の接続のための構成の形成にあたって、化学増幅レジストを用いるような電子デバイス、例えば磁気ヘッドやレーザーダイオード、フォトダイオード、センサ等の製造にも適用可能である。

【 0 0 9 8 】

【発明の効果】

本発明に係る請求項 1 記載の電子デバイスの製造方法によれば、層間絶縁膜を貫通するホールを形成した後に熱処理を行うので、絶縁体のエッチングストップパ膜と層間絶縁膜との界面に存在する副生成物が放出され、副生成物の残留量を減少させることができる。このため、上層配線を埋め込むための溝パターンを形成するために使用する化学増幅レジストが、副生成物により失活することが防止され、レジストパターンの解像不良の原因となるレジストポイズニング現象が発生することを防止できる。この結果、レジストパターンの解像不良の発生を抑制し、解像不良に起因する不良配線の発生を低減した埋め込み多層配線構造を有する

半導体装置を得ることができる。また、このとき、ホールの内壁面に形成されている劣化層に吸着した水分も放出され、劣化層の表面状態を改質することもできるので、劣化層の存在によりレジストポイズニング現象が加速されることを防止することもできる。また、ホール内に埋め込みプラグを配設するので、例えば、層間絶縁膜上に反射防止剤を形成するような場合、種類の限られる反射防止剤によってホールを充填する必要がなく、材料選択の幅が広い有機樹脂を使用できるので利便性が良く、また電子デバイスの構造の選択幅を広げることができる。さらに、ホール内に反射防止剤を充填せずに済むので、ホール密度に依存した反射防止膜の膜厚のバラツキを低減することができる。

【 0 0 9 9 】

本発明に係る請求項 2 記載の電子デバイスの製造方法によれば、層間絶縁膜を貫通するホールを形成した後に熱処理を行うので、絶縁体のエッチングストッパ膜と層間絶縁膜との界面に存在する副生成物が放出され、副生成物の残留量を減少させることができる。このため、上層配線を埋め込むための溝パターンを形成するために使用する化学増幅レジストが、副生成物により失活することが防止され、レジストパターンの解像不良の原因となるレジストポイズニング現象が発生することを防止できる。この結果、レジストパターンの解像不良の発生を抑制し、解像不良に起因す不良配線の発生を低減した埋め込み多層配線構造を有する半導体装置を得ることができる。また、このとき、ホールの内壁面に形成されている劣化層に吸着した水分も放出され、劣化層の表面状態を改質することもできるので、劣化層の存在によりレジストポイズニング現象が加速されることを防止することもできる。また、ホール内に埋め込みプラグを配設するので、例えば、層間絶縁膜上に反射防止剤を形成するような場合、種類の限られる反射防止剤によってホールを充填する必要がなく、材料選択の幅が広い S O G 材料を使用できるので利便性が良く、また電子デバイスの構造の選択幅を広げることができる。さらに、ホール内に反射防止剤を充填せずに済むので、ホール密度に依存した反射防止膜の膜厚のバラツキを低減することができる。また、S O G 材料で構成される埋め込みプラグは、疎水性を有し、また、ホールを介しての副生成物の拡散を、より効果的に抑える特性を有するので、レジストポイズニング現象に起因する

配線不良を、より効果的に防止することが可能となる。また、50～200℃の熱処理によって、埋め込みプラグは、不完全な架橋状態となっており、緻密度が低いだけでなく活性基が膜中に残るため、溝パターンを形成する際の化学増幅レジストをアッシングする際の酸素プラズマで容易に分解され、希フッ酸水溶液やアミン系の洗浄液等により容易に除去できるので、除去に際して周囲に影響を与えることを防止できる。

【図面の簡単な説明】

【図 1】 正常な配線パターンを示す平面図である。

【図 2】 レジストポイズニング現象を説明するための配線パターンを示す平面図である。

【図 3】 レジストポイズニング現象を説明するための配線パターンを示す平面図である。

【図 4】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 5】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 6】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 7】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 8】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 9】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 10】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 11】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 12】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断

面図である。

【図 1 3】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 1 4】 本発明に係る実施の形態 1 の電子デバイスの製造工程を示す断面図である。

【図 1 5】 ホール密度に依存した反射防止膜の膜厚のバラツキを説明する断面図である。

【図 1 6】 本発明に係る実施の形態 1 の電子デバイスの製造工程の変形例を示す断面図である。

【図 1 7】 本発明に係る実施の形態 1 の電子デバイスの製造工程の変形例を示す断面図である。

【図 1 8】 本発明に係る実施の形態 1 の電子デバイスの製造工程の変形例を示す断面図である。

【図 1 9】 本発明に係る実施の形態 1 の電子デバイスの製造工程の変形例を示す断面図である。

【図 2 0】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 1】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 2】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 3】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 4】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 5】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 6】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 7】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 8】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 2 9】 本発明に係る実施の形態 2 の電子デバイスの製造工程を示す断面図である。

【図 3 0】 本発明に係る実施の形態 2 の電子デバイスの製造工程の変形例を示す断面図である。

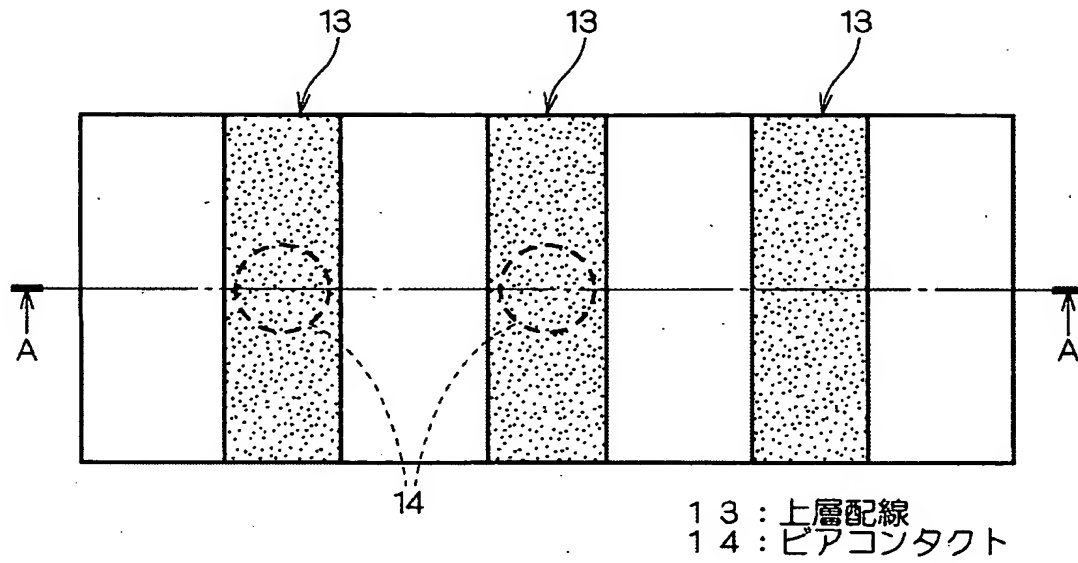
【図 3 1】 本発明に係る実施の形態 3 の電子デバイスの製造工程を示す断面図である。

【符号の説明】

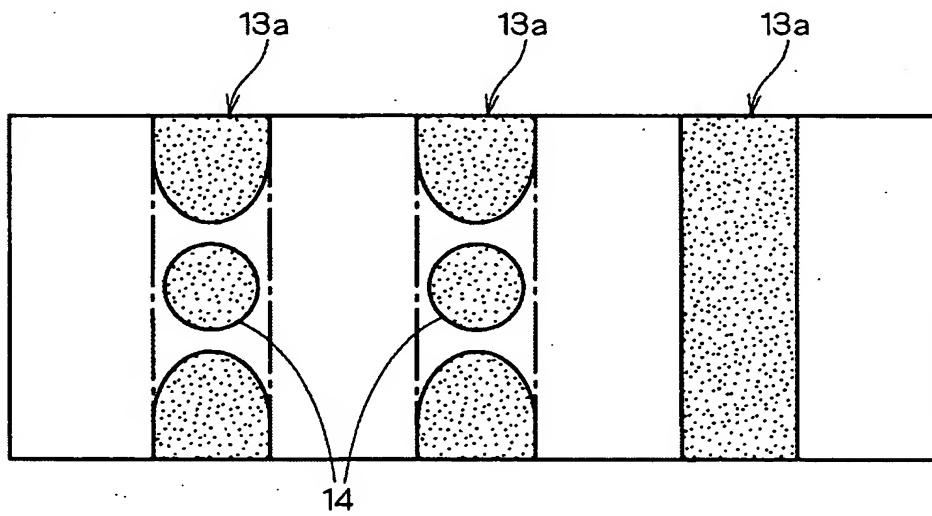
1 下地層、4, 41 エッチングストッパ膜、5 低誘電率層間絶縁膜、6 上部保護膜、7 ピアホール、10 溝パターン、13 上層配線、14 ピアコンタクト、18 反射防止膜、20 下層配線、81, 161 埋め込みプラグ、RM2, RM11 レジストパターン。

【書類名】 図面

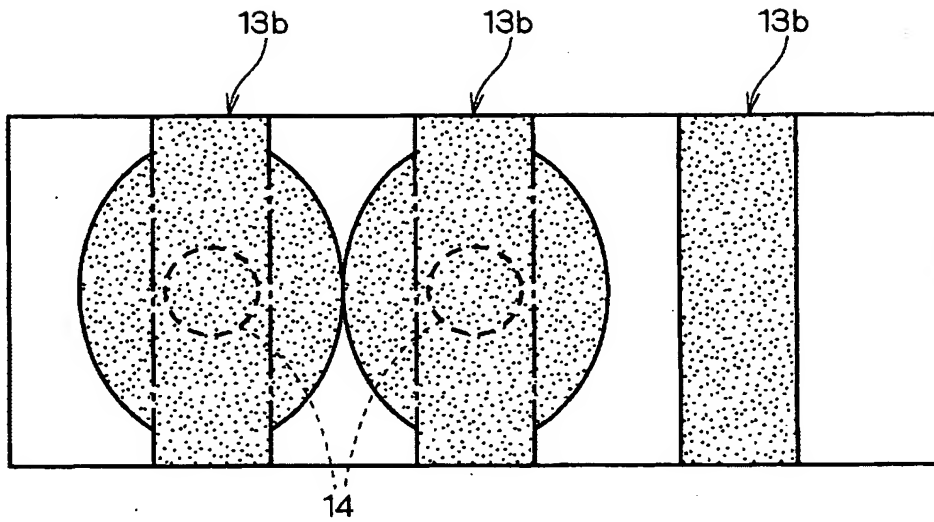
【図 1】



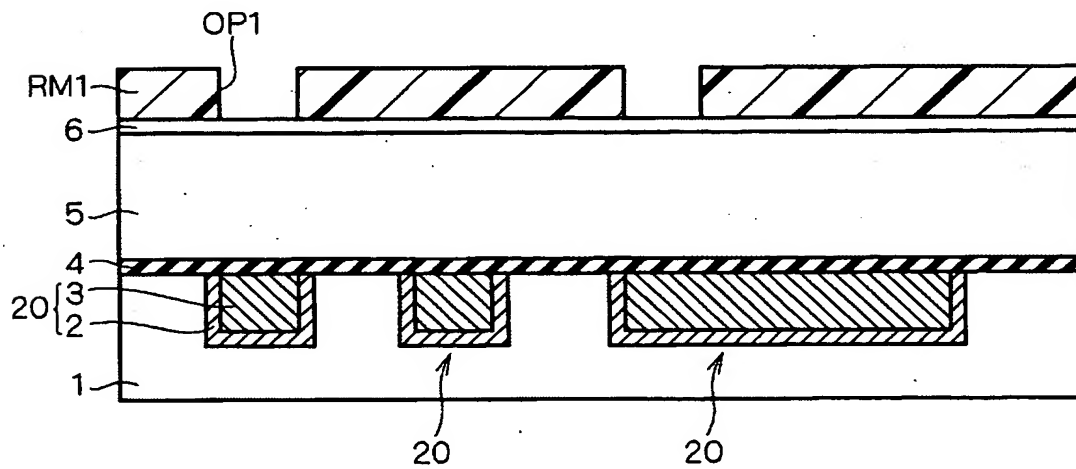
【図 2】



【図 3】

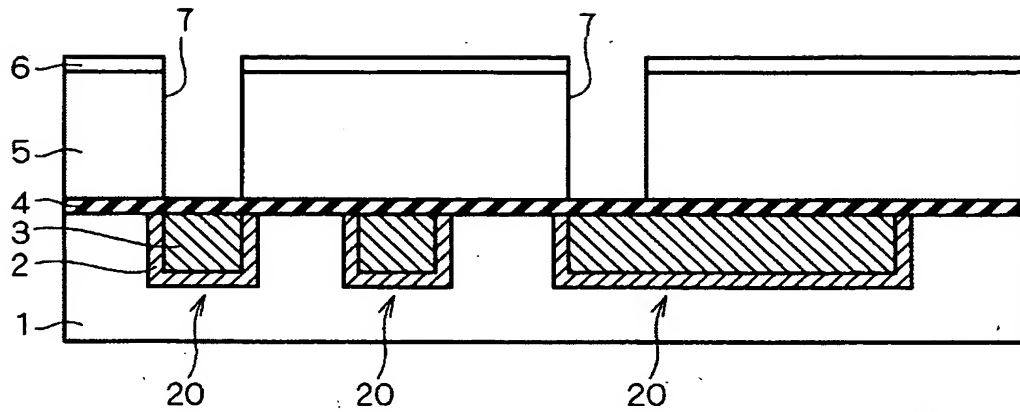


【図 4】



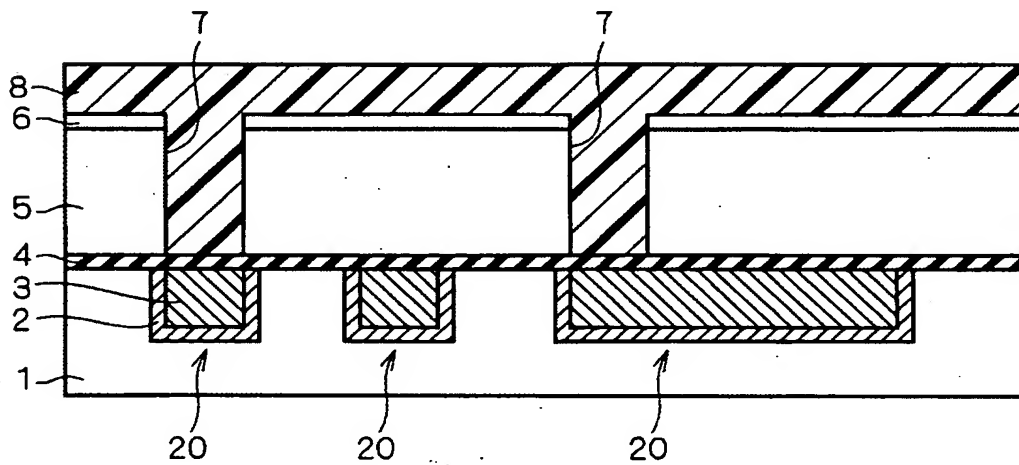
- 1 : 下地層
- 4 : エッチングストップ膜
- 5 : 低誘電率層間絶縁膜
- 6 : 上部保護膜
- 20 : 下層配線

【図 5】

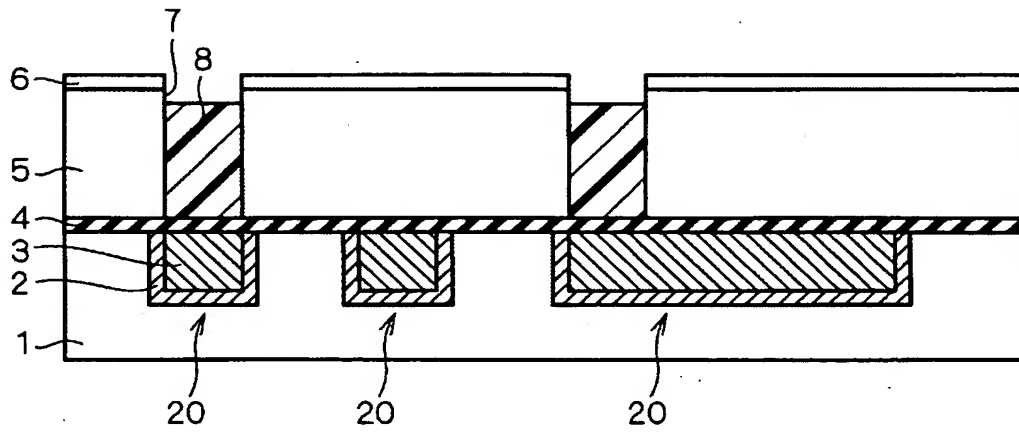


7 : ピアホール

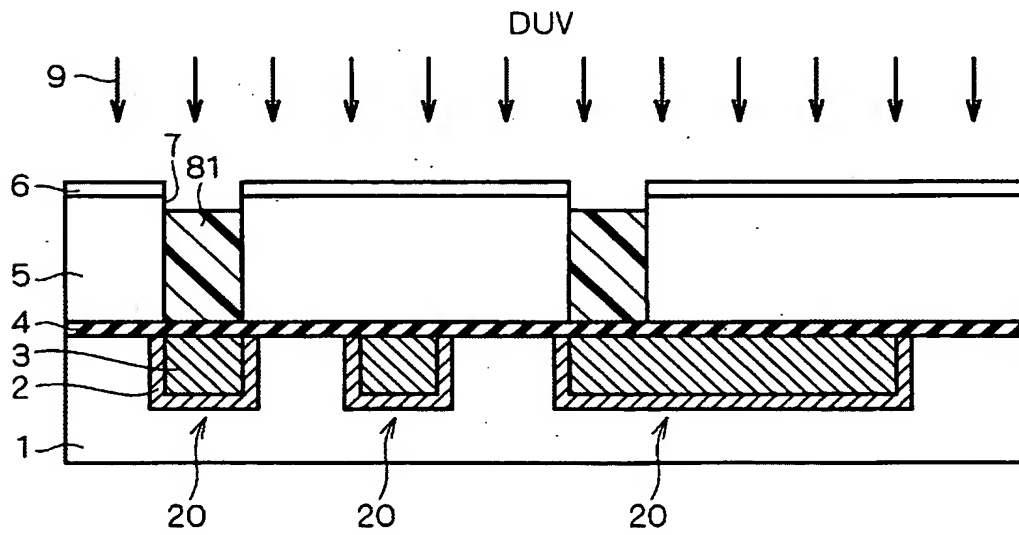
【図 6】



【図 7】

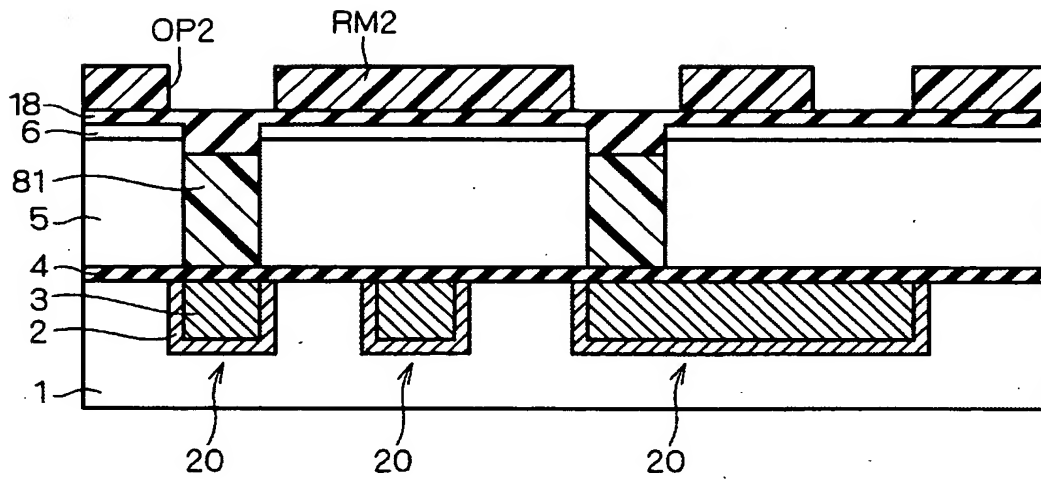


【図 8】



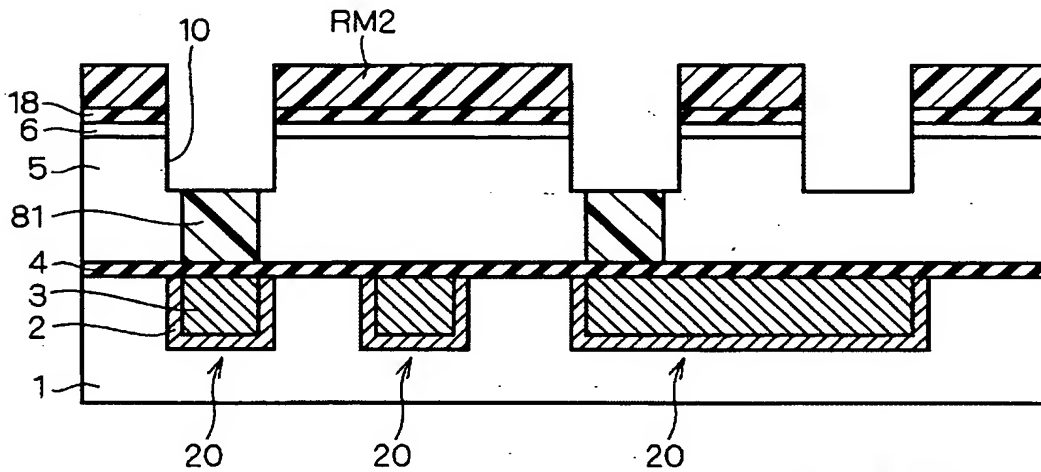
81 : 埋め込みプラグ

【図 9】



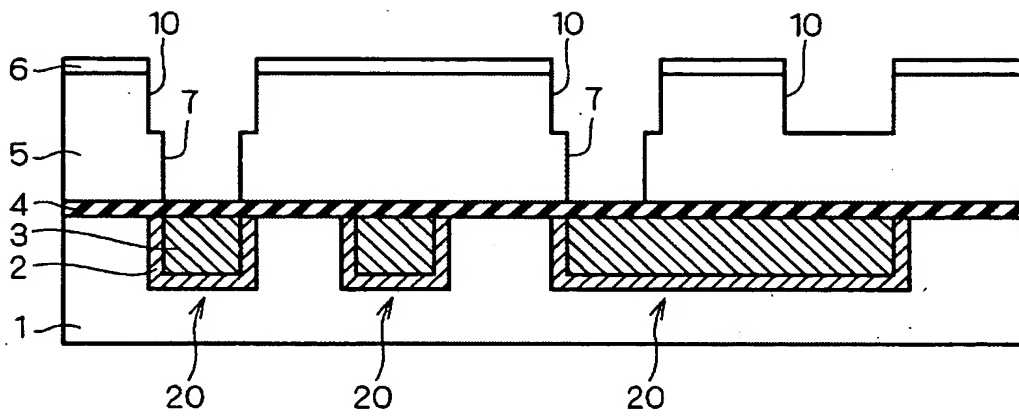
RM2 : レジストパターン
18 : 反射防止膜

【図 1 0】

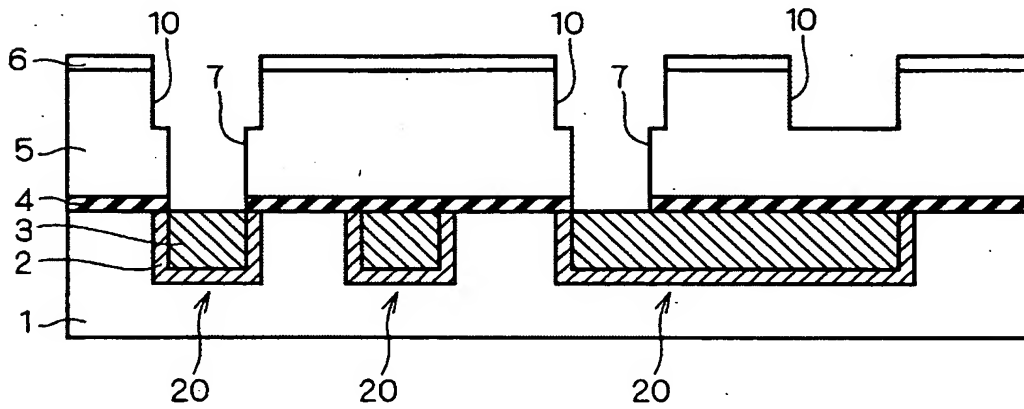


10 : 溝パターン

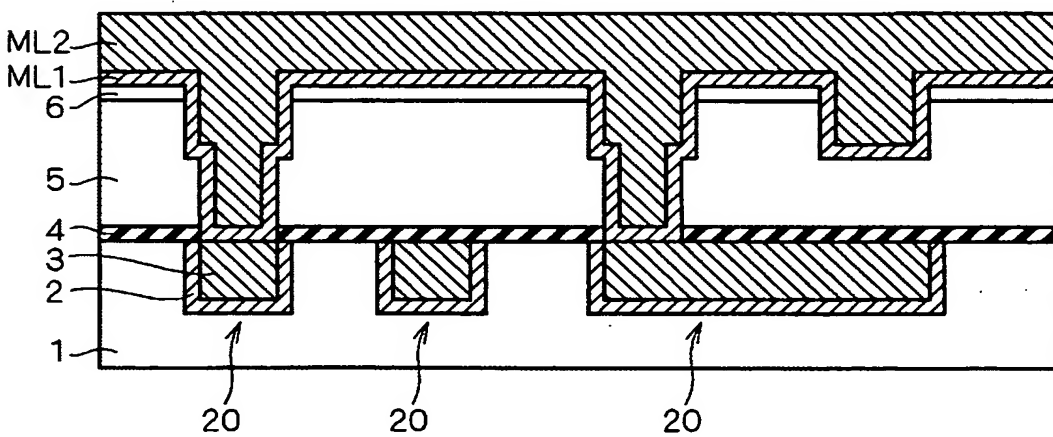
【図 1 1】



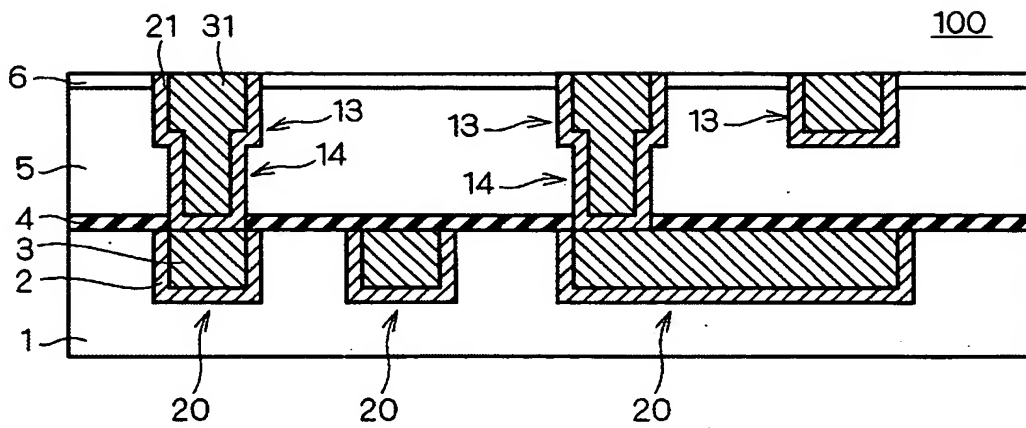
【図 1 2】



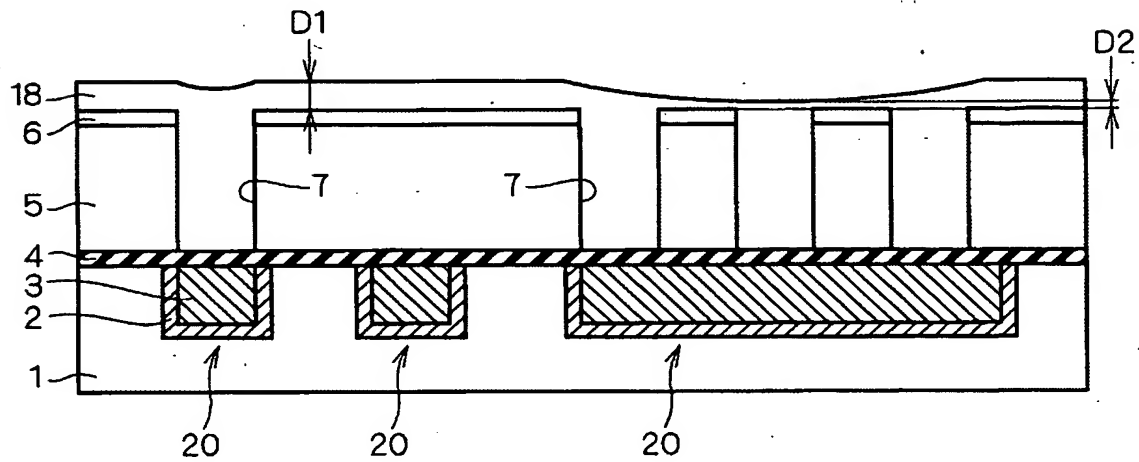
【図 1 3】



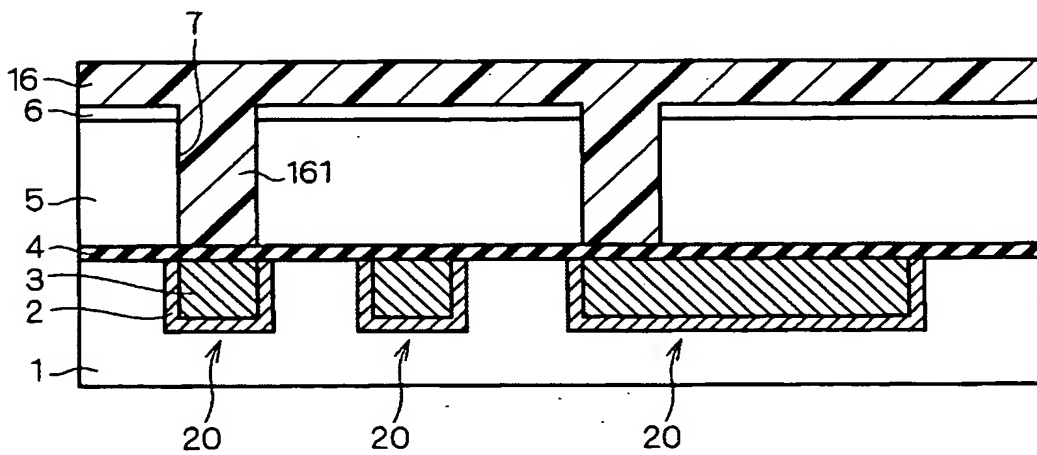
【図 1 4】



【図 1 5】

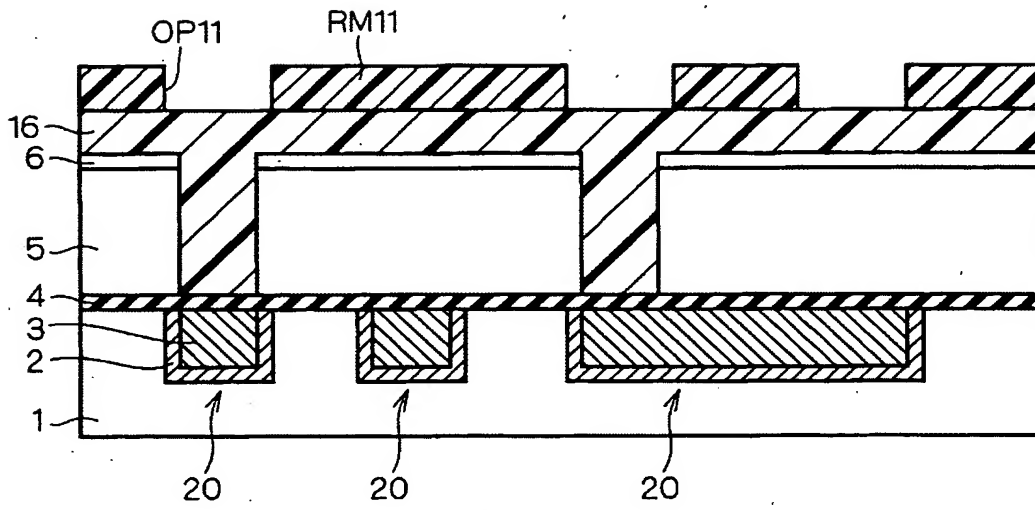


【図 1 6】



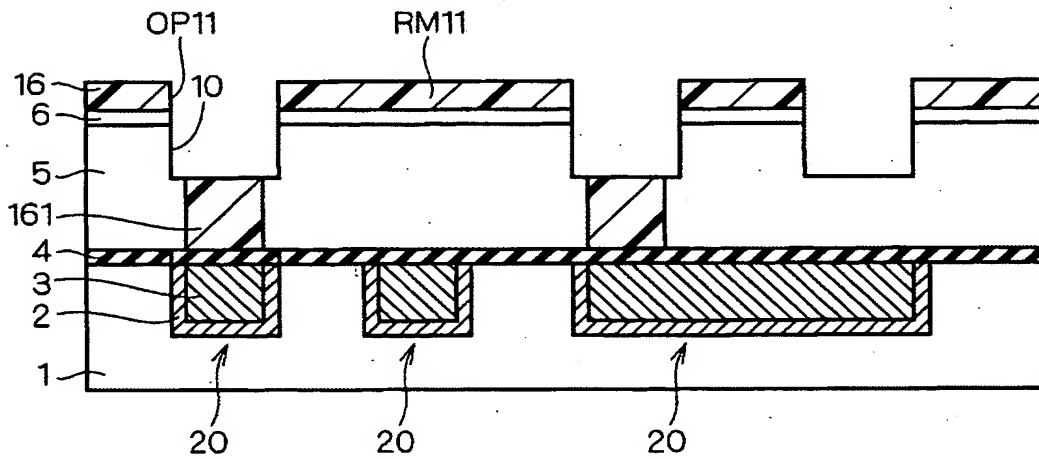
161 : 埋め込みプラグ

【図 17】

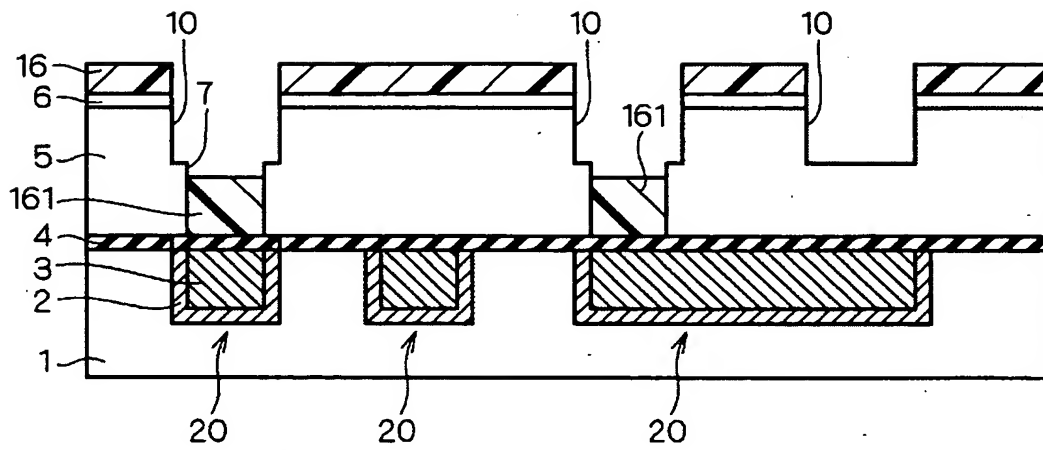


RM11 : レジストパターン

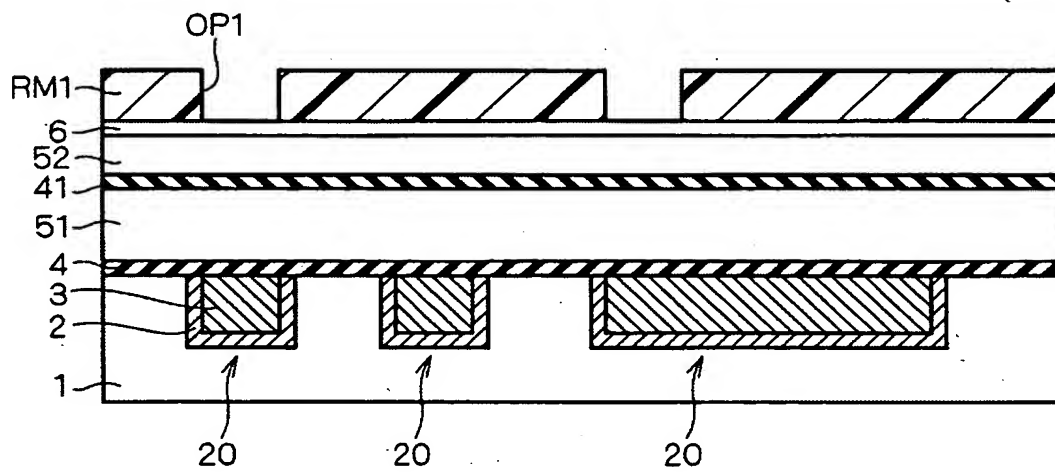
【図 18】



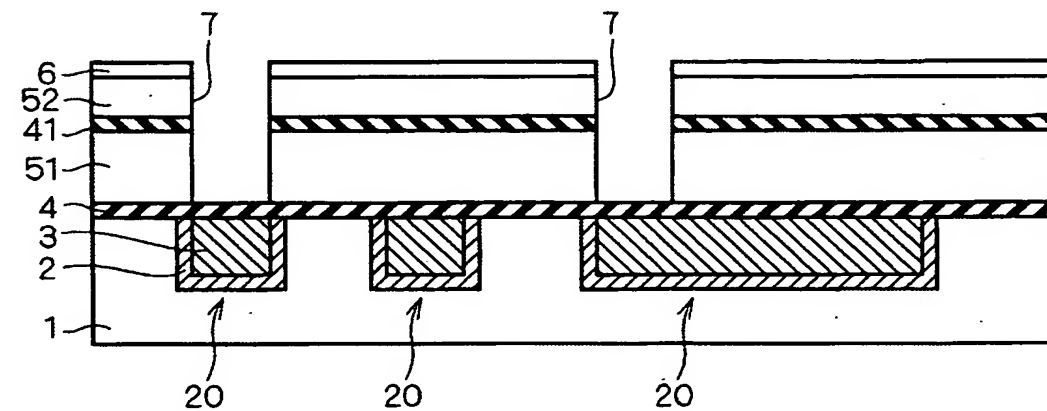
【図 19】



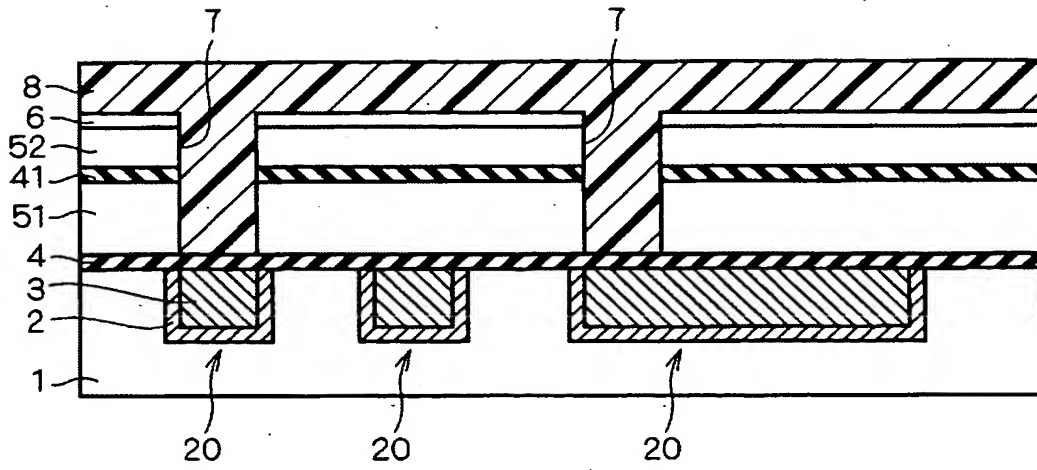
【図 20】



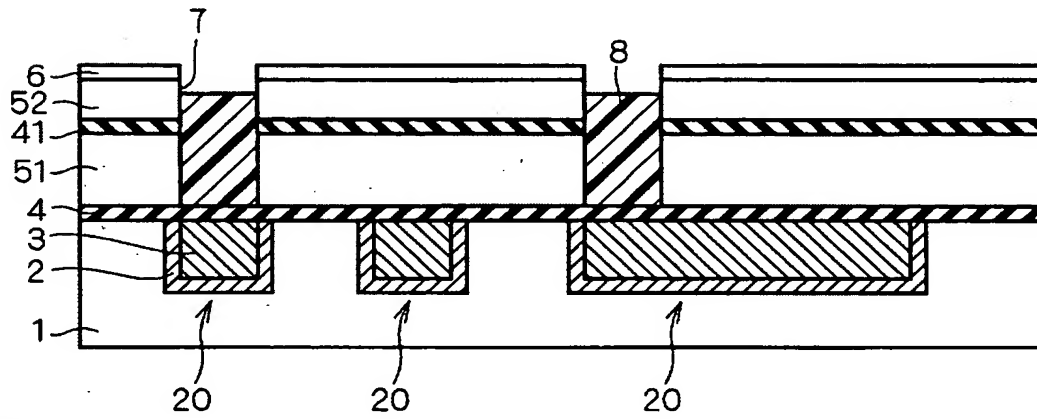
【図 2 1】



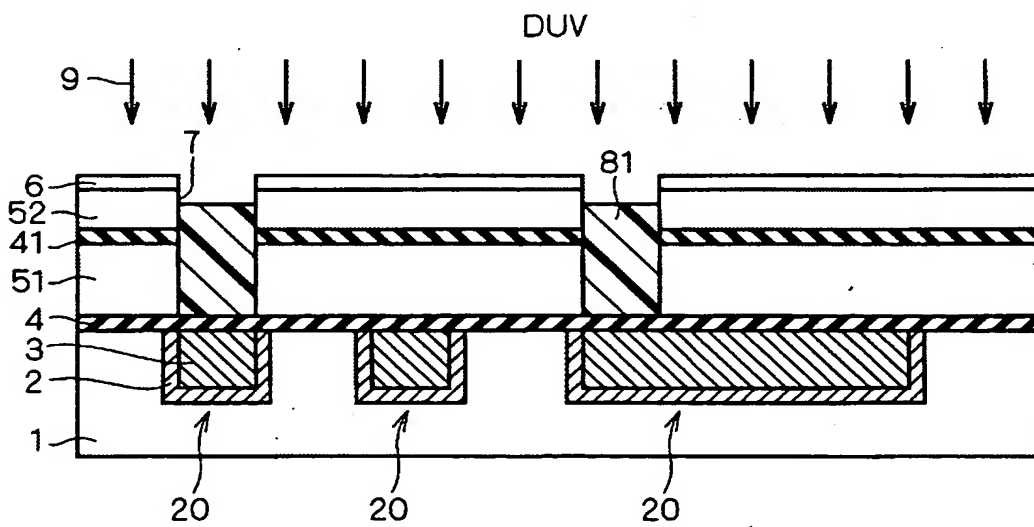
【図 2 2】



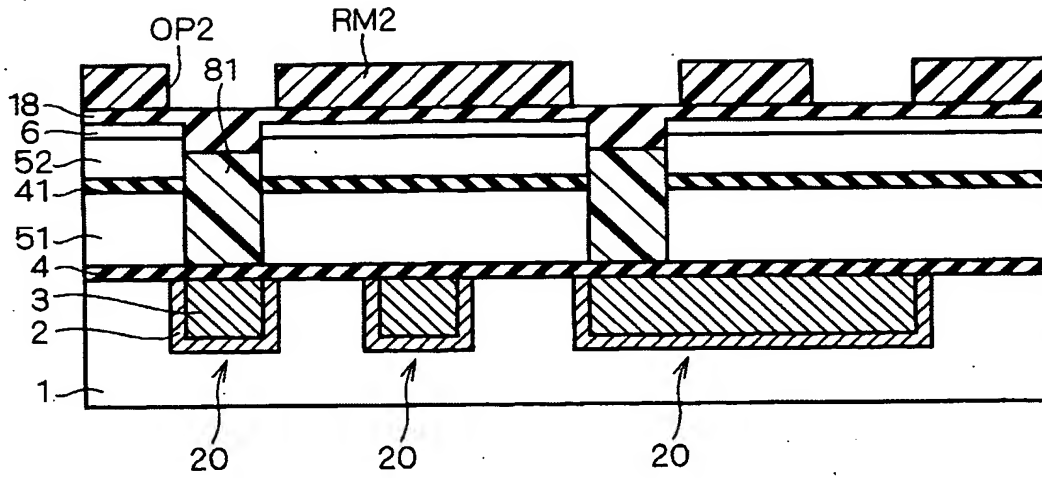
【図 2 3】



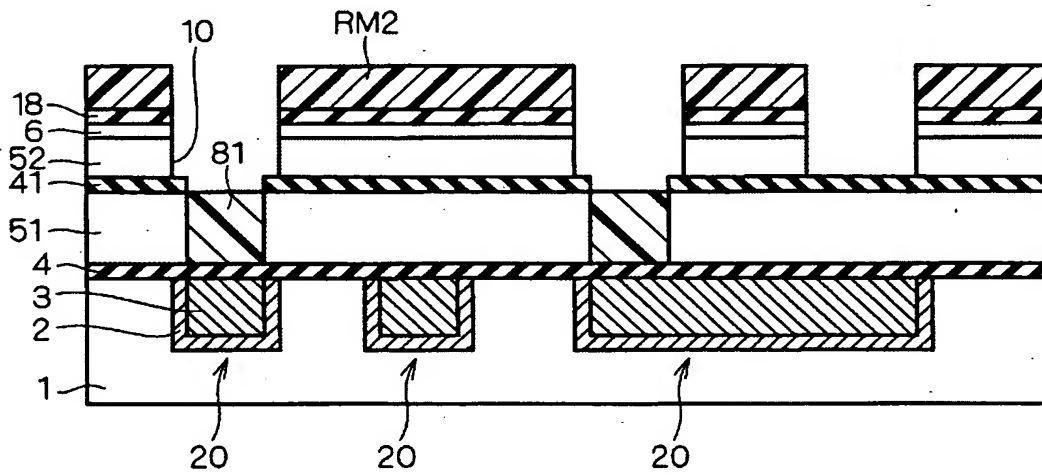
【図 2 4】



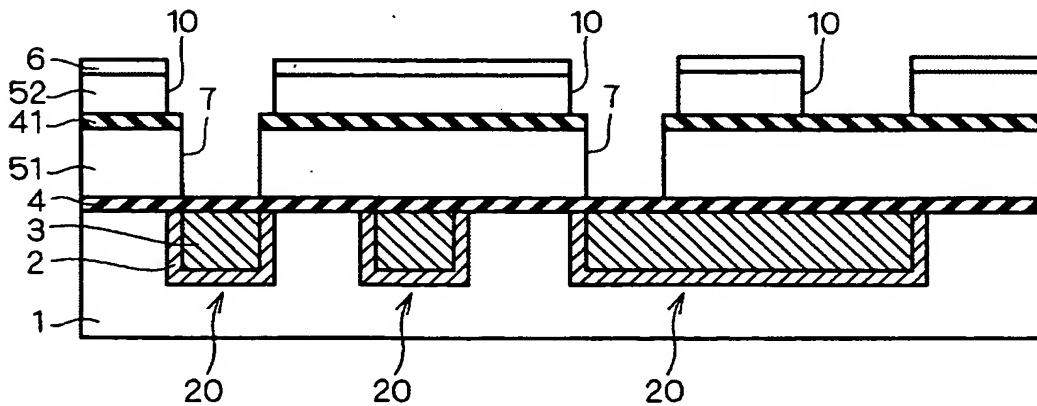
【図 2 5】



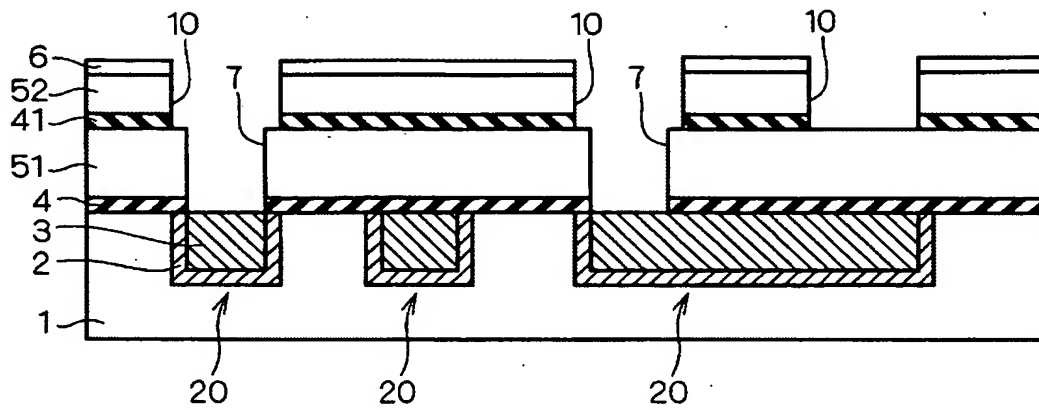
【図 2 6】



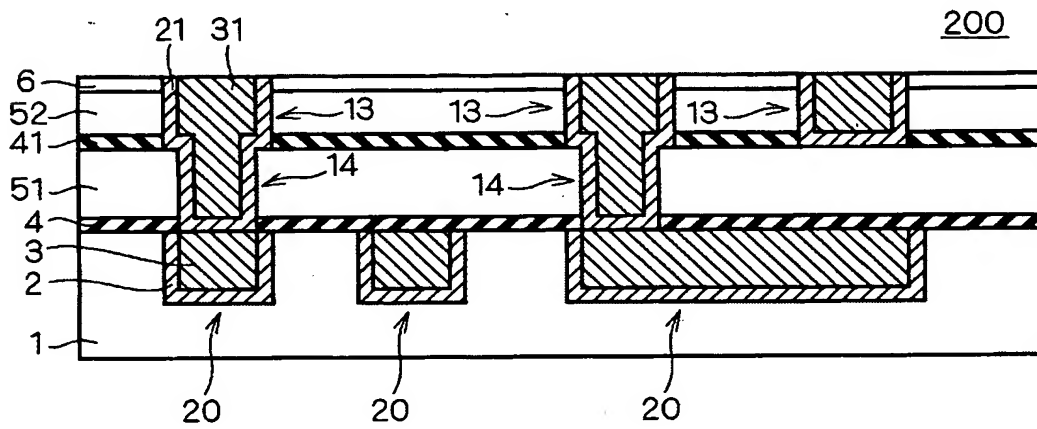
【図 2 7】



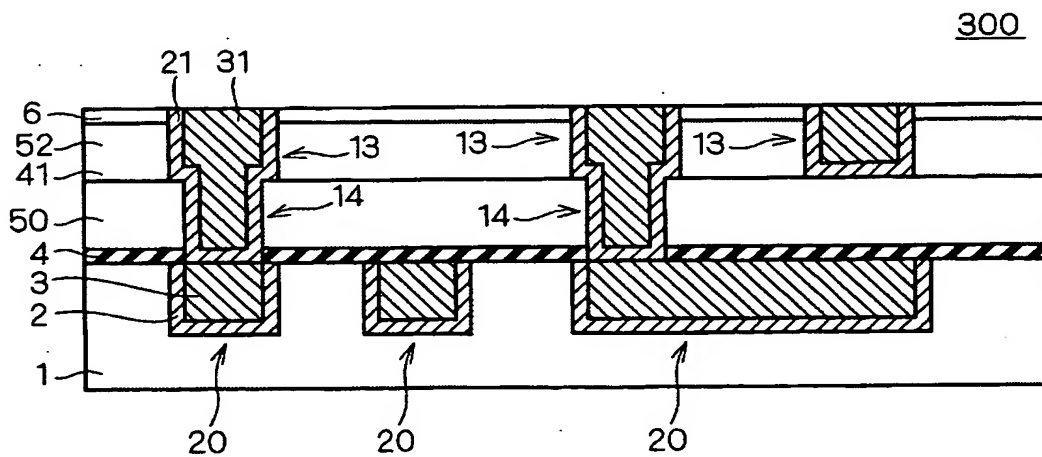
【図 2 8】



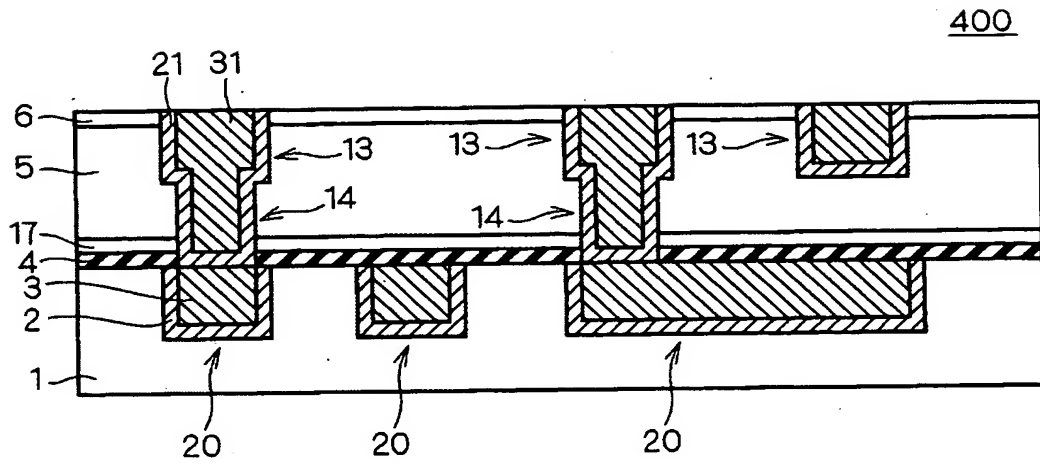
【図 2 9】



【図 3 0】



【図 3 1】



【書類名】 要約書

【要約】

【課題】 レジストパターンの解像不良の発生を抑制し、解像不良に起因す不良配線の発生を低減した埋め込み多層配線構造を有する半導体装置を提供する。

【解決手段】 エッチングストッパ膜 4 に達するビアホール 7 を形成した後、ビアホール 7 が開口した状態のままで 3 0 0 ~ 4 0 0 ℃ でアニール処理を行う。アニール方法は、ホットプレートを用いた方法でも、熱処理炉を用いた方法でも良いが、製造済みの下層配線 2 0 に与える影響を抑えるためには、ホットプレートで 5 分から 1 0 分程度の短時間加熱を行う。これにより上部保護膜 6 と低誘電率層間絶縁膜 5 との界面に滞留した副生成物、およびエッチングストッパ膜 4 と低誘電率層間絶縁膜 5 との界面に滞留した副生成物が放出され、副生成物の残留量を減少させることができる。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社